

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-264764

(43)Date of publication of application : 11.10.1996

(51)Int.Cl.

H01L 29/78

(21)Application number : 07-062233

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 22.03.1995

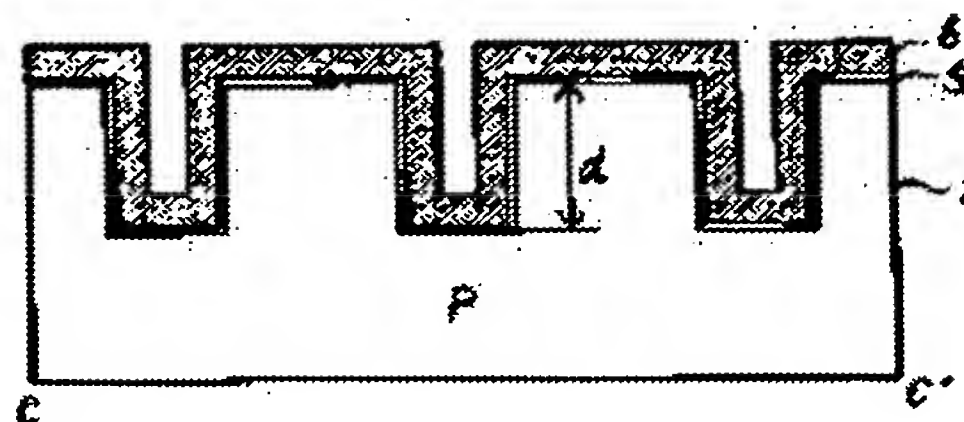
(72)Inventor : INOUE TOMOKI

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PURPOSE:** To reduce the resistance of an MISFET without enlarging the forming region of the MISFET, by constituting the surface of a first conductivity type base layer in the manner in which unevenness is present in the region in contact with a gate electrode via a gate insulating film.

**CONSTITUTION:** When a voltage higher than or equal to a threshold voltage to a P-type base layer 1 is applied to a gate electrode 6, N-type inverted layers are formed on the P-type base layer surface, the trench side wall, and the trench bottom surface. A current is made to flow between a source and a drain by a voltage applied to a source electrode and a drain electrode. When the depth of the trench is (d), the channel width is increased by  $2 \times d$ . When n-number of trench per unit length along the direction of c-c' is formed, the channel width is  $(1+2 \times n \times d)$  times as compared with the case that the P-type base layer surface is flat, so that the channel resistance is  $1/(1+2 \times n \times d)$  times. Thus the channel width can be increased, and the resistance of an MISFET can be reduced.



BEST AVAILABLE COPY

## LEGAL STATUS

[Date of request for examination] 15.02.2000

[Date of sending the examiner's decision of rejection] 08.01.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平8-264764

(43) 公開日 平成8年(1996)10月11日

(51) Int.Cl.<sup>6</sup>

H 0 1 L 29/78

識別記号

庁内整理番号

F I

H 0 1 L 29/78

技術表示箇所

3 0 1 V

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21) 出願番号 特願平7-62233

(22) 出願日 平成7年(1995)3月22日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 井上 智樹

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

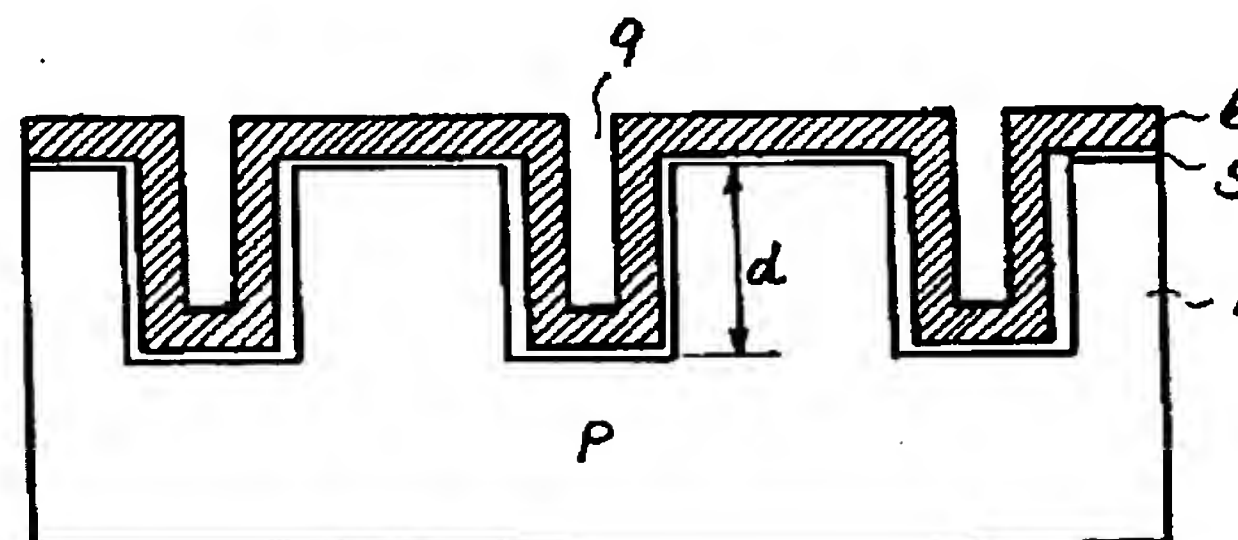
(74) 代理人 弁理士 則近 憲佑

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 本発明は、MISFETの形成領域を広げることなくMISFETの抵抗を下げることのできる構造を提供することを目的とする。

【効果】 p型ベース層1の表面に複数の溝11を設けたことにより溝11の側壁および底面もチャネルとして働かせることでMISFETの形成領域を広げることなく抵抗を低減することができる。



## 【特許請求の範囲】

【請求項 1】半導体基板上に第 1 導電型ベース層に隣接して第 2 導電型ソース領域および第 2 導電型ドレイン領域を有し、前記第 2 導電型ソース領域、第 1 導電型ベース領域および第 2 導電型ドレイン領域に接して形成されたゲート絶縁膜を介してゲート電極が形成された半導体装置において、

前記第 1 導電型ベース層表面であって前記ゲート絶縁膜を介してゲート電極と接している領域に凹凸を存在するように構成したことを特徴とする半導体装置。

【請求項 2】凹凸の形状が矩形状、V 字状又は U 字状であることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】凹凸はソース領域からドレイン領域方向に対し、直角方向に設けられていることを特徴とする請求項 1 記載の半導体装置。

【請求項 4】凹凸の形状が矩形状であって、その平坦部の面及び側壁部の面が (100) 面であることを特徴とする請求項 1 記載の半導体装置。

【請求項 5】凹凸の形状が矩形状であって、その平坦部の面が (100) 面、側壁部の面が (110) 面であることを特徴とする請求項 1 記載の半導体装置。

【請求項 6】半導体基板上に第 1 導電型ベース層に隣接して第 2 導電型ソース領域および第 2 導電型ドレイン領域を有し、前記第 2 導電型ソース領域、第 1 導電型ベース領域および第 2 導電型ドレイン領域に接して形成されたゲート絶縁膜を介してゲート電極が形成された半導体

装置において、

前記第 1 導電型ベース層表面であって前記ゲート絶縁膜を介してゲート電極と接している領域に凹凸を存在するように構成し、ゲート絶縁膜をチャネル幅方向で変えたことを特徴とする半導体装置。

【請求項 7】半導体基板上に第 1 導電型ベース層に隣接して第 2 導電型ソース領域および第 2 導電型ドレイン領域を有し、前記第 2 導電型ソース領域、第 1 導電型ベース領域および第 2 導電型ドレイン領域に接して形成されたゲート絶縁膜を介してゲート電極が形成された半導体装置において、

前記第 1 導電型ベース層表面であって前記ゲート絶縁膜を介してゲート電極と接している領域に凹凸を存在するように構成し、ゲート電極厚をチャネル幅方向に変えたことを特徴とする半導体装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は例えば絶縁ゲート電界効果トランジスタ等の半導体装置に関する。

【0002】

【従来の技術】一般に、絶縁ゲート電界効果トランジスタ (MISFET) の電流-電圧特性は線形領域では近似的に

【0003】

【数 1】

$$I_D = \frac{W \mu C_D}{L} \left\{ (V_G - V_{th}) V_D - \frac{1}{2} V_D^2 \right\}$$

$I_D$  : ドレイン電流

$W$  : チャネル幅

$\mu$  : チャネルでのキャリア移動度

$C_D$  : ゲート容量

$L$  : チャネル長

$V_G$  : ゲート電圧

$V_{th}$  : しきい値電圧

$V_D$  : ドレイン電圧

で記述される。このため、従来はチャネル幅を広くし、またチャネル長を短くすることで MISFET の抵抗を下げるのが試みられてきた。

【0004】チャネル長を短くすることは各パターンの合わせ精度および不純物拡散の精度により制限されており、現状では限界に近づいている。そのため専らチャネル幅を広げることで MISFET の抵抗を下げるのが図られてきたが、従来は MISFET を半導体基板主表面が平坦な状態で形成していたために、チャネル幅を広

くとるためには MISFET の形成領域を大きくとる必要があった。したがって、MISFET の形成領域の単位面積当たりの抵抗の低減するのは困難であった。

【0005】

【発明が解決しようとする課題】以上のように従来の方法では、MISFET の形成領域を広げることなく MISFET の抵抗を下げるができなかった。本発明においては、上記のような従来技術の欠点を除去し、MISFET の形成領域を広げることなく MISFET の抵

抗を下げることのできる構造を提供することを目的とする。

#### 【0006】

【課題を解決するための手段】上記目的を達成するために、本発明においては、半導体基板上に第1導電型ベース層に隣接して第2導電型ソース領域および第2導電型ドレイン領域を有し、前記第2導電型ソース領域、第1導電型ベース領域および第2導電型ドレイン領域に接して形成されたゲート絶縁膜を介してゲート電極が形成された半導体装置において、前記第1導電型ベース層表面であって前記ゲート絶縁膜を介してゲート電極と接している領域に凹凸を存在するように構成したことを特徴とする。

#### 【0007】

【作用】上記のようにベース層表面に凹凸が存在する場合には、平坦な場合に比べて絶縁ゲートの面積が大きくなる。ゲート幅はゲート面積をゲート長で割ったものであり、ゲート長が同じ場合にはゲート幅が広がる。そのためMISFETの形成領域の単位面積当りのMISFETの抵抗が小さくなる。

【0008】またベース領域であってゲート絶縁膜を介してゲート電極と接している領域に凹凸を形成すると、ゲート絶縁膜厚を厚くすることができ、又ゲート電極も比較的厚くすることも簡単にできる為、ゲート耐圧の向上、ゲート抵抗の低下も図れる。

#### 【0009】

【実施例】以下本発明の実施例について図を参照して説明する。図1は本発明の第1の実施例にかかる半導体素子の平面図であり、図2、図3、図4はそれぞれ1のA-A'、B-B'およびC-C'断面図である。

【0010】この半導体素子はp型ベース層1に隣接してn型ソース層2とn型ドレイン層3が拡散形成されている。またp型ベース層表面にはn型ソース層2からn型ドレイン層3に向かってストライプ上に複数本の溝4が形成されている。p型ベース層1の表面にはn型ソース層2とn型ドレイン層3に重なるように、ゲート絶縁膜5を介してゲート電極6が形成されている。またn型ソース層2とn型ドレイン層3の表面にはソース電極7とドレイン電極8が形成されている。

【0011】ゲート電極6にp型ベース層1にたいしてしきい値電圧以上の電圧が印加されるとp型ベース層表面、溝側壁および溝底面にn型の反転層が形成され、ソース電極7とドレイン電極8に印加された電圧によってソース・ドレイン間に電流が流れる。図4よりわかるように溝4の深さをdとすると、 $2 \times d$ だけチャネル幅が広がっている。C-C'の方向に沿って単位長さ当たりn本の溝が形成されていると、p型ベース層表面が平坦な場合に比べてチャネル幅が $(1 + 2 \times n \times d)$ 倍になる。したがってチャネル抵抗は $1 / (1 + 2 \times n \times d)$ 倍になる。

【0012】図5は本発明の第2の実施例にかかる半導体素子の平面図であり、図6、図7、図8はそれぞれA-A'、B-B'およびC-C'断面図である。この半導体素子はp型ベース層1に隣接してn型ソース層2とn型ドレイン層3が拡散形成されている。またp型ベース層表面にはn型ソース層2からn型ドレイン層3に向かってストライプ上に複数本のV字溝9が形成されている。p型ベース層1の表面にはn型ソース層2とn型ドレイン層3に重なるように、ゲート絶縁膜5を介してゲート電極6が形成されている。またn型ソース層2とn型ドレイン層3の表面にはソース電極7とドレイン電極8が形成されている。

【0013】ゲート電極6にp型ベース層1にたいしてしきい値電圧以上の電圧が印加されるとp型ベース層表面、溝側壁にn型の反転層が形成され、ソース電極7とドレイン電極8に印加された電圧によってソース・ドレイン間に電流が流れる。図8よりわかるように溝9の深さをdとすると、 $2 \times (2^{1/2} - 1) \times d$ だけチャネル幅が広がっており、C-C'の方向に沿って単位長さ当たりn本の溝が形成されていると、p型ベース層表面が平坦な場合に比べてチャネル幅が $(1 + 2 \times (2^{1/2} - 1) \times n \times d)$ 倍になる。したがってチャネル抵抗は $1 / (1 + 2 \times (2^{1/2} - 1) \times n \times d)$ 倍になる。

【0014】図9は本発明の第3の実施例にかかる半導体素子の平面図であり、図10、図11、図12はそれぞれ図9のA-A'、B-B'およびC-C'断面図である。

【0015】この半導体素子はp型ベース層1に隣接してn型ソース層2とn型ドレイン層3が拡散形成されている。またp型ベース層表面にはn型ソース層2からn型ドレイン層3に向かってストライプ上に複数本の選択酸化後酸化膜を剥離することによって形成された溝10が形成されている。p型ベース層1の表面にはn型ソース層2とn型ドレイン層3に重なるように、ゲート絶縁膜5を介してゲート電極6が形成されている。またn型ソース層2とn型ドレイン層3の表面にはソース電極7とドレイン電極8が形成されている。

【0016】ゲート電極6にp型ベース層1にたいしてしきい値電圧以上の電圧が印加されるとp型ベース層表面、および溝内面にn型の反転層が形成され、ソース電極7とドレイン電極8に印加された電圧によってソース・ドレイン間に電流が流れる。図12よりわかるように溝10の深さをdとすると、 $2 \times (2^{1/2} - 1) \times d$ だけチャネル幅が広がっており、C-C'の方向に沿って単位長さ当たりn本の溝が形成されていると、p型ベース層表面が平坦な場合に比べてチャネル幅が $(1 + 2 \times (2^{1/2} - 1) \times n \times d)$ 倍になる。したがってチャネル抵抗は $1 / (1 + 2 \times (2^{1/2} - 1) \times n \times d)$ 倍になる。

【0017】また上述した実施例において、矩形状が溝

4を形成した場合に側壁を(110)面にした場合はゲート絶縁膜5が図13の如く上面である(100)面より厚くなり、ゲート耐圧が高くなり、そしてその上にゲート電極6を一般的な手法で形成すれば図15の如く比較的厚い部分ができる為、ゲート抵抗が小さくなる。同様にV字状の溝9を形成した場合、ゲート絶縁膜5が(111)面の部分で図14の如く厚くなり、そしてその上のゲート電極6も図16の如く比較的厚い部分ができるし、溝9がU字状の場合もゲート電極6が図17のように厚い部分ができる。

【0018】図18、図19に第4の実施例の斜視図および平面図を示す。この半導体素子はp型ベース層1に隣接してn型ソース層2とn型ドレイン層3が拡散形成されている。またp型ベース層表面にはn型ソース層2からn型ドレイン層3に向かってストライプ上に複数本の溝11が形成されている。p型ベース層1の表面にはn型ソース層2とn型ドレイン層3に重なるように、ゲート絶縁膜5を介してゲート電極6が形成されている。またn型ソース層2とn型ドレイン層3の表面にはソース電極7とドレイン電極8が形成されている。本実施例で第1の実施例と異なる点はn型ソース層2およびn型ドレイン層3の表面にもp型ベース層1表面と同様に溝11が形成されている点である。

【0019】図20、図21、図22に本実施例にかかる半導体素子の形成工程を示す。各図の(a)、(b)、(c)、(d)はそれぞれ図19のA-A'、B-B'、C-C'、D-D'断面に対応する断面図である。

【0020】あらかじめp型ベース層を形成した半導体基板の主表面を選択的にエッチングすることによって溝11を形成する。半導体素子の形成工程においては、Siエッチングにより合わせマークを形成する方法があり、合わせマークを形成する工程でこのエッチングを行えば、工程を増やすことなく、溝11の形成が出来る。その後ゲート酸化を行い、ゲート電極を形成し、パターニングを行う。そのゲート電極をマスクとしてn型不純物をイオン注入し、n型ソース層およびn型ドレイン層を拡散形成する。

【0021】本実施例では、イオン注入によって半導体主表面、溝側壁および溝底面にn型不純物が導入され、拡散によりソース層およびドレイン層が同時に形成されるため、ソース層およびドレイン層のチャンネル長が半導体主表面、溝側壁および溝底面で同じとなる。したがってMOSFETのしきい値電圧の制御が容易になる。

【0022】例えば、幅 $1\mu\text{m}$ 深さ $5\mu\text{m}$ の溝を $1\text{cm}$ 当り2000本形成した場合(溝間隔 $5\mu\text{m}$ )、MOS抵抗は、MOSFETのpベース表面が平坦な場合の30%になる。また溝側壁および底面に溝形成時に損傷が導入され、チャンネルでのキャリア移動度が低下することがあるが、この場合にも十分な効果がある。

【0023】なお、溝深さを増やすほど効果は増大するが、例えば、幅 $1\mu\text{m}$ の溝を形成した場合には、溝深さが $10\mu\text{m}$ (アスペクト比10)以上となると、溝側面への不純物導入が困難になるため、溝深さは $10\mu\text{m}$ (アスペクト比10)以下であることが望ましい。

【0024】さらに、半導体主表面をMOSFETとして使用するためには溝間隔は $0.1\mu\text{m}\sim 10\mu\text{m}$ である事が望ましい。図23に本発明の第5の実施例の断面図を示す。n型ベース層14に接してp型ドレイン層3が形成されn型ベース層14中にp型ベース層16とn型ソース層2が拡散形成されている。またn型ドレイン層13に接してドレイン電極8が形成され、n型ソース層2およびp型ベース層16に接してソース電極7が形成されている。n型ソース層2、p型ベース層16、n型ベース層14に接してゲート絶縁膜を介してゲート電極が形成され、n型ソース層2内より、p型ベース層16、n型ベース層14を通してゲート電極をはさんで対向するn型ソース層2に達する複数の溝11が紙面に沿う方向に形成されている。

【0025】この素子の動作は次の通りである。ドレイン電極8がソース電極7に対して正バイアスされた状態で、ゲート電極6にソース電極7に対してしきい値電圧以上の正電圧を印加するとチャンネル部22表面に反転層が形成され、該反転層を通してn型ソース領域2からn型ベース領域14に電子が注入され、ドレイン層3を通してドレイン電極8から排出され、通電状態となる。チャンネル部22に凹凸を設けていることによりチャンネル抵抗が低下し、素子全体のオン抵抗も低下する。

【0026】図24に本発明の第6の実施例を示す。本実施例は第5の実施例と異なり、チャンネル部22にのみ複数の溝を形成している。その他の構造および素子の動作は、第5の実施例と同様であるが、溝の長さを短くすることにより、絶縁ゲートの容量を低減することができ、素子を高速に動作させることが出来る。

【0027】図25に本発明の第7の実施例を示す。本実施例は、第5の実施例においてn型ドレイン領域をp型エミッタ領域に置き換えた構造である。この素子の動作は次の通りである。ドレイン電極8がソース電極7に対して正バイアスされた状態で、ゲート電極6にソース電極7にたいしてしきい値電圧以上の正電圧を印加するとチャンネル部22表面に反転層が形成され、該反転層を通してn型ソース領域2からn型ベース領域14に電子が注入され、p型ベース層1、n型ベース層14、p型エミッタ層15で構成されているpnptランジスタがオンし通電状態となる。素子全体のオン抵抗を決めるn型ソース領域17からn型ベース層14への電子の注入量はチャンネル22の抵抗が小さくなると増加するのでチャンネル部22に複数の溝を設けることによって、オン抵抗が低下する。

【0028】図26に本発明の第8の実施例を示す。本

実施例は第 7 の実施例と異なり、チャンネル部 22 にのみ複数の溝を形成している。その他の構造および素子の動作は、第 7 の実施例と同様であるが、溝の長さを短くすることにより絶縁ゲートの容量を低減することができ、素子を高速に動作させることが出来る。

【0029】図 27 は本発明の第 9 の実施例の断面図である。n 型ベース層 14 に接して p 型エミッタ層 15 が形成され、また n 型ベース層 14 内に p 型ベース層 16 および n 型エミッタ層 17 が拡散形成されている。p 型エミッタ層 15 にはアノード電極 21 が、n 型エミッタ層 17 にはカソード電極 20 がそれぞれ形成されている。n 型エミッタ層 17 には p 型ソース層 18 が形成され、この p 型ソース層 18 と p 型ベース層 16 により挟まれた領域の n 型エミッタ層 17 上にゲート絶縁膜 5 を介してゲート電極 6 が形成されてターンオフ用 p チャンネル MOSFET が構成されている。このターンオフ用 p チャンネル MOSFET のチャンネル 13 には複数の溝が形成されている。p 型ソース層 18 はカソード電極 20 によって n 型エミッタ層 17 と短絡されている。またゲート電極 5 は n 型エミッタ層 17 と p 型ベース層 16 と n 型ベース層 14 より構成されるターンオン用の n チャンネル MOSFET のゲート電極も兼ねている。

【0030】この素子の動作は次の通りである。ターンオン時、ゲート電極 6 にカソードに対して正の電圧が印加される。これにより、ゲート電極 5 の下のオンチャンネル 12 が導通し、n 型エミッタ層 17 から n 型ベース層 14 に電子が注入されて、素子がターンオンする。一方、ターンオフ時にはゲート電極 5 に負の電圧が印加される。これにより、ゲート電極 5 の下のオフチャンネル 13 が導通状態となり、p 型ベース層 16 から直接 n 型エミッタ層 17 に流れ込んでいた正孔電流の一部が、p 型ソース層 18 からカソード電極 20 にバイパスするようになる。この正孔電流のバイパスによってやがて n 型エミッタ層 17 から p 型ベース層 16 への電子注入が止まって、素子はターンオフする。

【0031】この素子のターンオフ能力は n 型ベース層 17 直下の p 型ベース層 16 の正孔バイパス電流による電圧効果が n 型エミッタ層 17 と p 型ベース層 16 間の接合電位を越えない電流値によって決まる。正孔電流バイパス経路の抵抗はおもに p 型ベース層 16 の横方向抵抗とオフチャンネル 13 の抵抗である。本実施例によれば、オフチャンネル 13 に複数の溝が設けられているため、オフチャンネル 13 の抵抗が低くなり、ターンオフ能力が向上する。

【0032】図 28 は本発明の第 10 の実施例の断面図である。n 型ベース層 14 に接して p 型エミッタ層 15 が形成され、また n 型ベース層 14 内に p 型ベース層 16 および n 型ソース層が拡散形成されている。p 型エミッタ層 15 にはアノード電極 21 が、n 型エミッタ層 17 にはカソード電極 20 がそれぞれ形成されている。

【0033】p 型ベース層 17 には n 型ソース層 2 が形成され、この n 型ソース層 2 と n 型ベース層 17 により挟まれた領域の p 型ベース層 16 上にゲート絶縁膜 5 を介してゲート電極 6 が形成されてラテラル MOSFET が構成されている。このラテラル MOSFET のチャンネル 13 には複数の溝が形成されている。また n 型エミッタ層 17 と n 型ベース層 14 に挟まれた領域の p 型ベース層 16 上にゲート絶縁膜 5 を介してゲート電極 6 が形成されてターンオン用 MOSFET が構成されている。p 型ベース層 18 はカソード電極 20 によって n 型ソース層 2 と短絡されている。

【0034】さらに本実施例ではラテラル MOSFET は単位面積当たりのチャンネル幅を大きくとるために図 29 に示すような平面配置をとっている。すなわち n 型ソース領域 2 と n 型ドレイン領域 3 を楕円形に形成し、互い違いに配置し、その間にゲート電極を形成している。このような MOSFET に対しては、図に示すようにゲート電極にたいしてそれぞれ垂直に交わるように溝 11 を配している。

【0035】この素子の動作は次の通りである。ターンオン時、ゲート電極 6 にカソードに対して正の電圧が印加される。これにより、ゲート電極 5 の下のオンチャンネル 12 およびチャンネル 22 が導通し、n 型ソース層 2 から n 型エミッタ層 17 を通して n 型ベース層 14 に電子が注入されて、素子がターンオンする。この素子のオン抵抗は n 型エミッタ層からの電子の注入効率によって決まる。すなわち n 型エミッタ層からの電子の注入量と、p 型ベース層への正孔の排出量の差が大きいほどオン抵抗は小さくなる。電子の注入量をあげるためにはチャンネル 22 の抵抗を小さくすれば良く、本実施例ではチャンネル 22 に複数の溝が形成されているために、この素子のオン抵抗は小さくなる。

【0036】図 30 は本発明の第 11 の実施例の断面図である。n 型ベース層 14 に接して p 型エミッタ層 15 が形成され、また n 型ベース層 14 内に p 型ベース層 16 および n 型エミッタ層 17 が拡散形成されている。p 型エミッタ層 15 にはアノード電極 21 が、n 型エミッタ層 17 にはカソード電極 20 がそれぞれ形成されている。

【0037】p 型ベース層 17 には n 型ソース層 2 および n 型ドレイン層 3 が形成され、この n 型ソース層 2 と n 型ドレイン層 3 により挟まれた領域の p 型ベース層 16 上にゲート絶縁膜 5 を介してオフゲート電極 24 が形成されてターンオフ用 MOSFET が構成されている。このラテラル MOSFET のオフチャンネル 13 には複数の溝が形成されている。また n 型エミッタ層 17 と n 型ベース層 14 に挟まれた領域の p 型ベース層 16 上にゲート絶縁膜 5 を介してオンゲート電極 23 が形成されてターンオン用 MOSFET が構成されている。p 型ベース層 18 はドレイン電極 8 によって n 型ドレイン層 3 と

短絡されている。

【0038】さらに本実施例ではラテラルMOSFETは単位面積当たりのチャンネル幅を大きくとるために第10の実施例と同様に図24に示すような平面配置をとっている。すなわちn型ソース領域2とn型ドレイン領域3を楕形に形成し、互い違いに配置し、その間にゲート電極を形成している。このようなMOSFETに対しては、図に示すようにゲート電極にたいしてそれぞれ垂直に交わるように溝11を配している。

【0039】この素子の動作は次の通りである。ターンオン時、オンゲート電極23に正の電圧が印加されると、オンチャンネル12が導通状態となり、n型エミッタ層17からn型ベース層14に電子が注入されて、素子がターンオンする。一方、ターンオフ時にはオフゲート電極24に正電圧が印加されて、オフチャンネル13が導通状態となり、p型ベース層16から直接n型エミッタ層17に流れ込んでいた正孔電流の一部が、ドレイン電極8に吸い出されて、n型ドレイン層を通過してn型ソース層からカソード電極20にバイパスするようになる。この正孔電流のバイパスによってやがてn型エミッタ層17からp型ベース層14への電子注入が止まって素子はターンオフする。

【0040】この素子のターンオフ能力はn型エミッタ層17直下のp型ベース層16の正孔バイパス電流による電圧効果がn型エミッタ層17とp型ベース層16間の接合電位を越えない電流値によって決まる。正孔電流バイパス経路の抵抗はおもにp型ベース層16の横方向抵抗とオフチャンネル13の抵抗である。本実施例によれば、オフチャンネル13に複数の溝が設けられているため、オフチャンネル13の抵抗が低くなり、ターンオフ能力が向上する。

【0041】

【発明の効果】以上説明したように、本発明によればp型ベース層表面に凹凸をつけたので、MISFETの形成領域を広げることなくチャンネル幅を大きくすることができ、MISFETの抵抗を下げるができる。

【図面の簡単な説明】

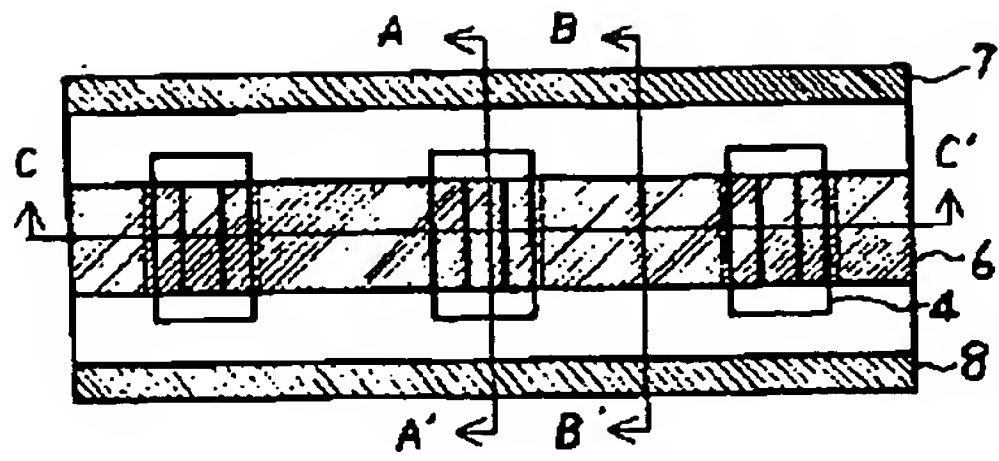
- 【図1】 本発明の第1の実施例の平面図
- 【図2】 本発明の第1の実施例の断面図
- 【図3】 本発明の第1の実施例の断面図
- 【図4】 本発明の第1の実施例の断面図
- 【図5】 本発明の第2の実施例の平面図
- 【図6】 本発明の第2の実施例の断面図
- 【図7】 本発明の第2の実施例の断面図
- 【図8】 本発明の第2の実施例の断面図
- 【図9】 本発明の第3の実施例の平面図
- 【図10】 本発明の第3の実施例の断面図

- 【図11】 本発明の第3の実施例の断面図
- 【図12】 本発明の第3の実施例の断面図
- 【図13】 本発明の第4の実施例の斜視図
- 【図14】 本発明の第4の実施例の平面図
- 【図15】 図4の変形例の断面図
- 【図16】 図8の変形例の断面図
- 【図17】 図4の他の変形例の断面図
- 【図18】 図8の他の変形例の断面図
- 【図19】 図12の変形例の断面図
- 【図20】 本発明の第4の実施例の素子の形成工程を示す図
- 【図21】 本発明の第4の実施例の素子の形成工程を示す図
- 【図22】 本発明の第4の実施例の素子の形成工程を示す図
- 【図23】 本発明の第5の実施例の断面図
- 【図24】 本発明の第6の実施例の断面図
- 【図25】 本発明の第7の実施例の断面図
- 【図26】 本発明の第8の実施例の断面図
- 【図27】 本発明の第9の実施例の断面図
- 【図28】 本発明の第10の実施例の断面図
- 【図29】 本発明の第10の実施例の平面図
- 【図30】 本発明の第11の実施例の断面図

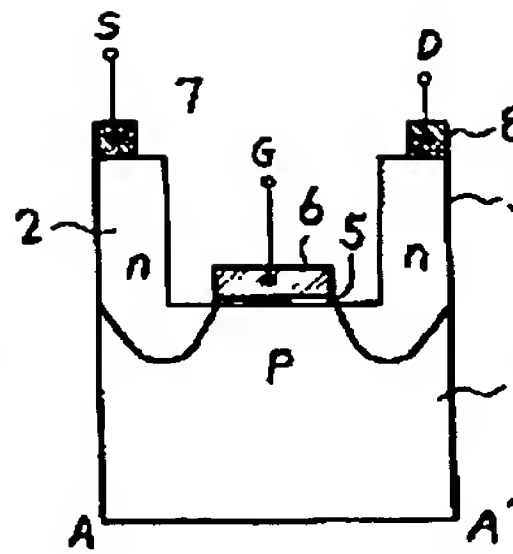
【符号の説明】

- 1 p型ベース層
- 2 n型ソース層
- 3 n型ドレイン層
- 4、11 溝
- 5 ゲート絶縁膜
- 6 ゲート電極
- 7 ソース電極
- 8 ドレイン電極
- 9 V字溝
- 10 選択酸化により形成された溝
- 12 オンチャンネル
- 13 オフチャンネル
- 14 n型ベース層
- 15 p型エミッタ層
- 16 p型ベース層
- 17 n型エミッタ層
- 18 p型ソース層
- 19 n型不純物
- 20 カソード電極
- 21 アノード電極
- 22 チャンネル
- 23 オンゲート電極
- 24 オフゲート電極

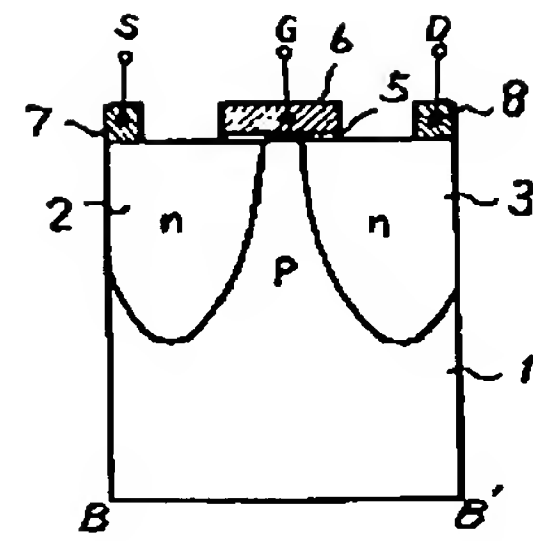
【図1】



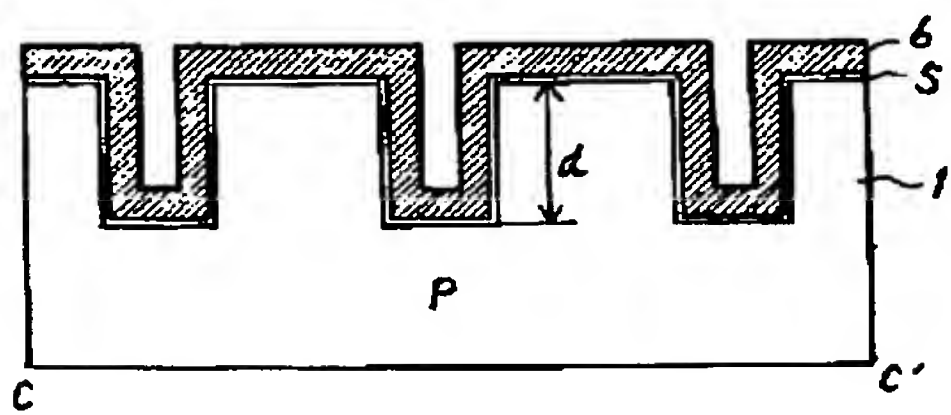
【図2】



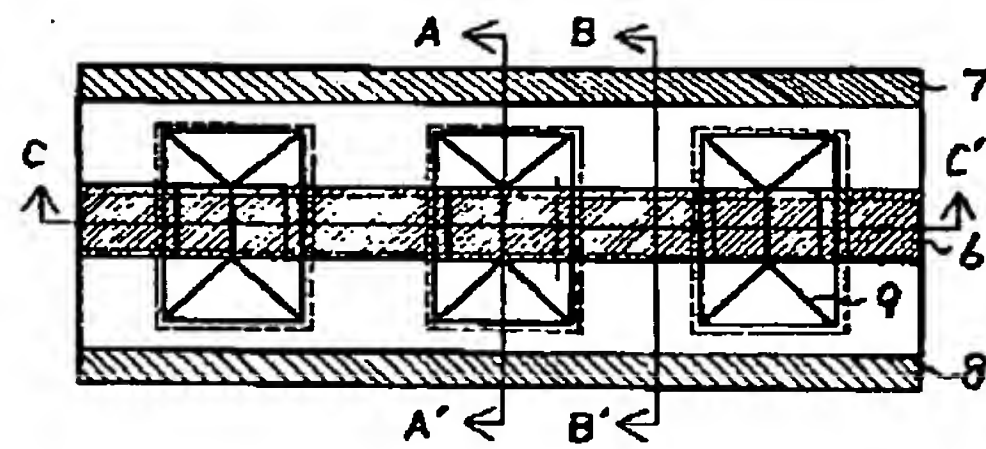
【図3】



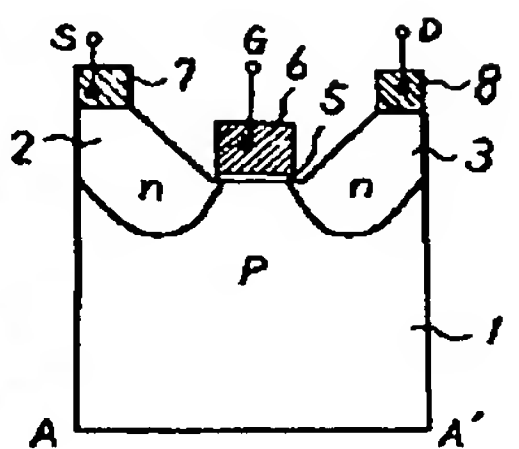
【図4】



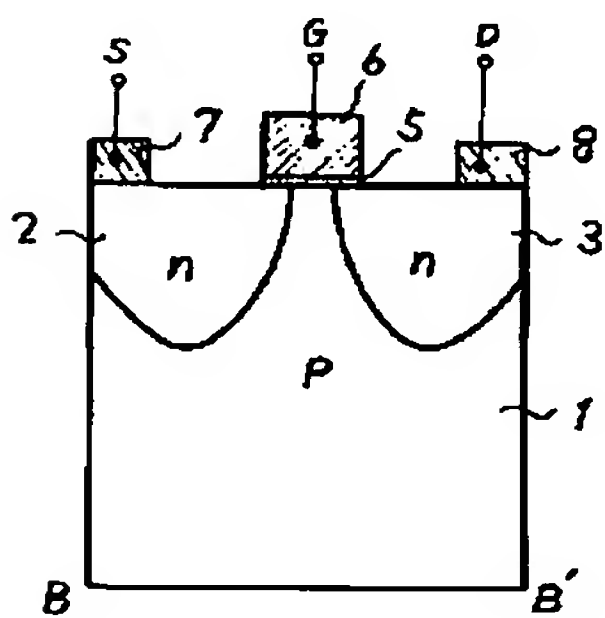
【図5】



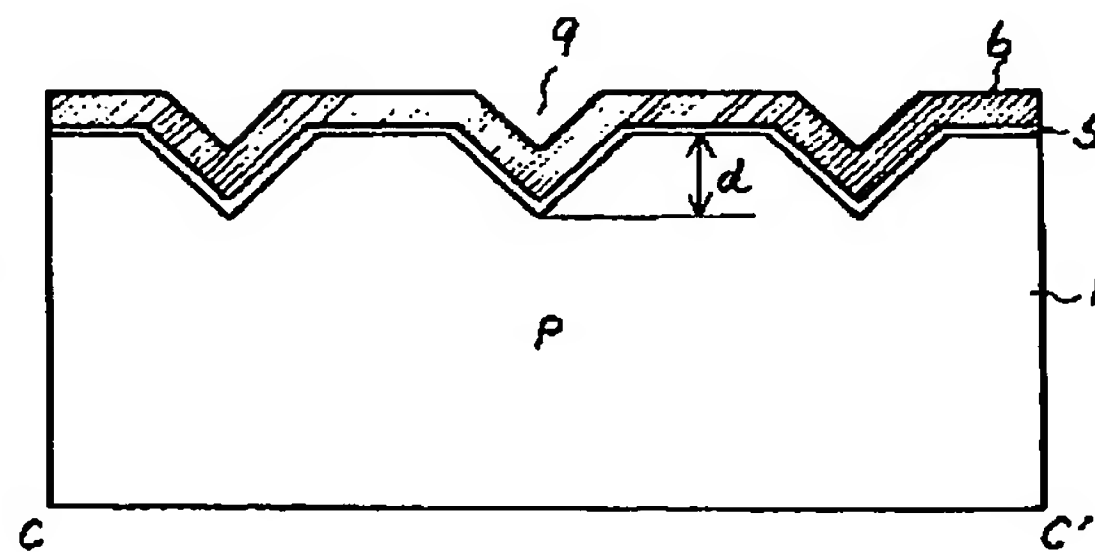
【図6】



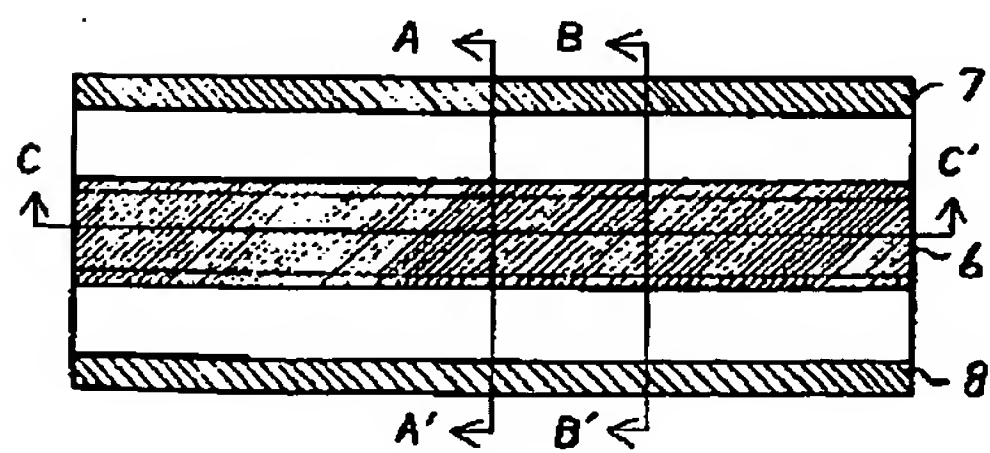
【図7】



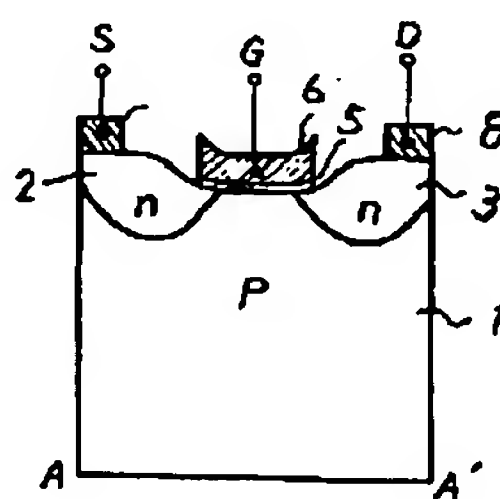
【図8】



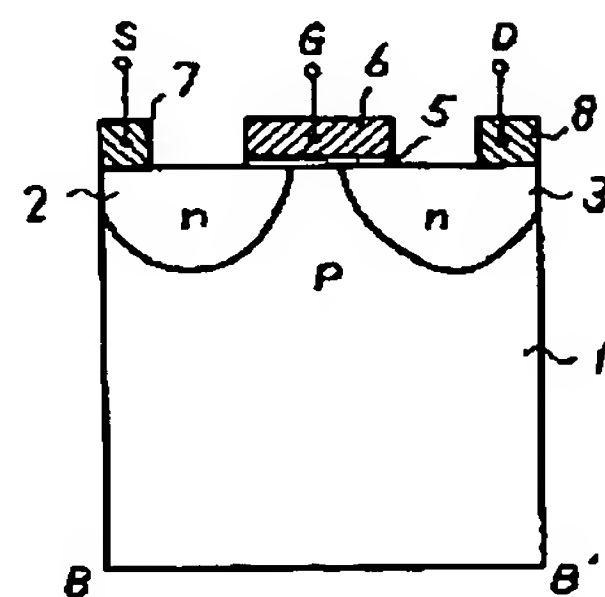
【図9】



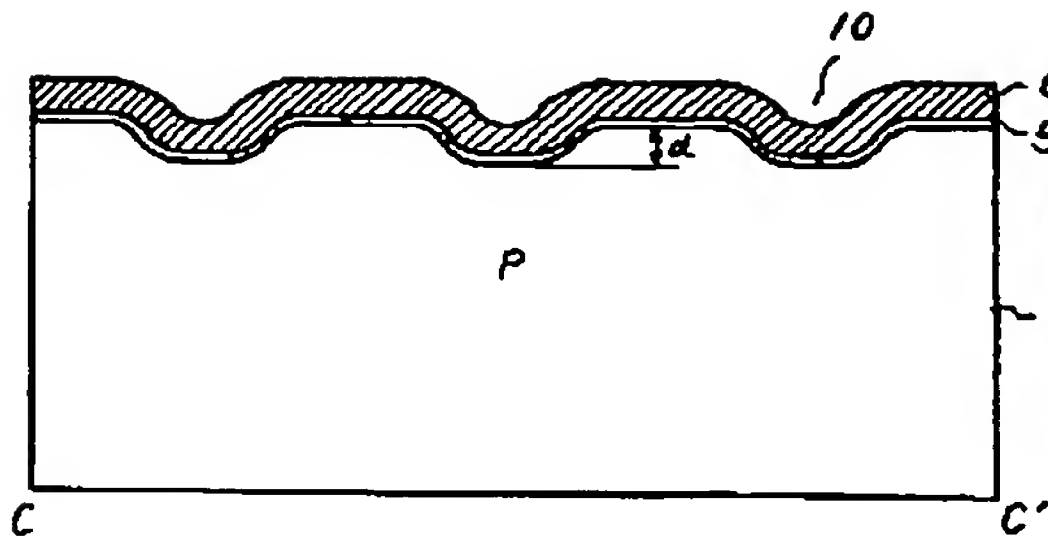
【図10】



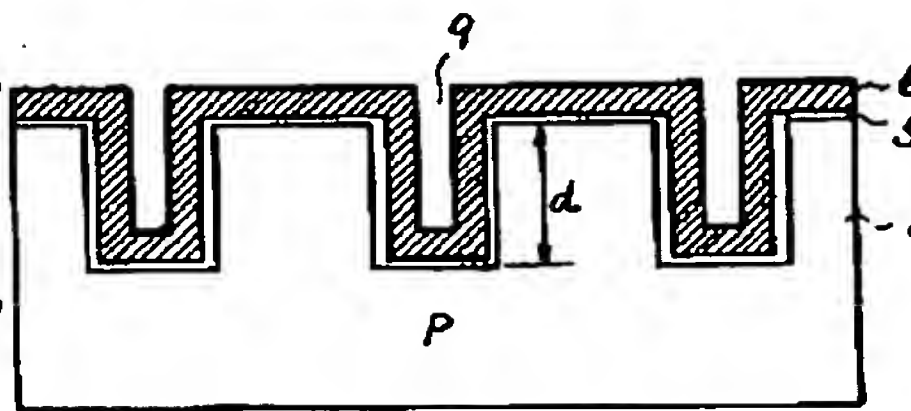
【図11】



【図12】

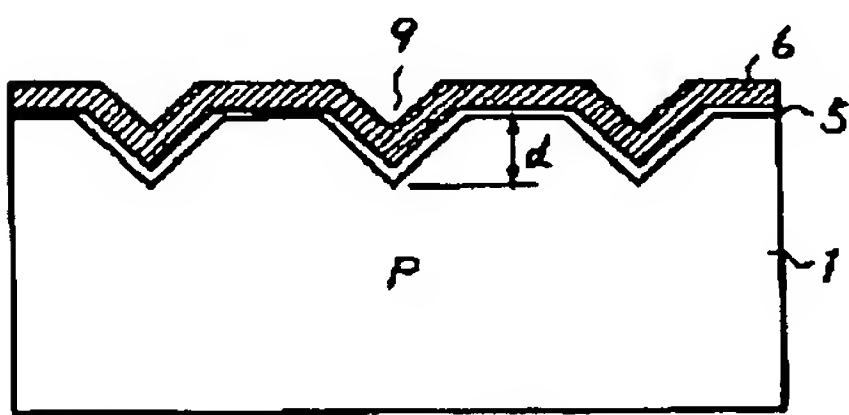


【図13】

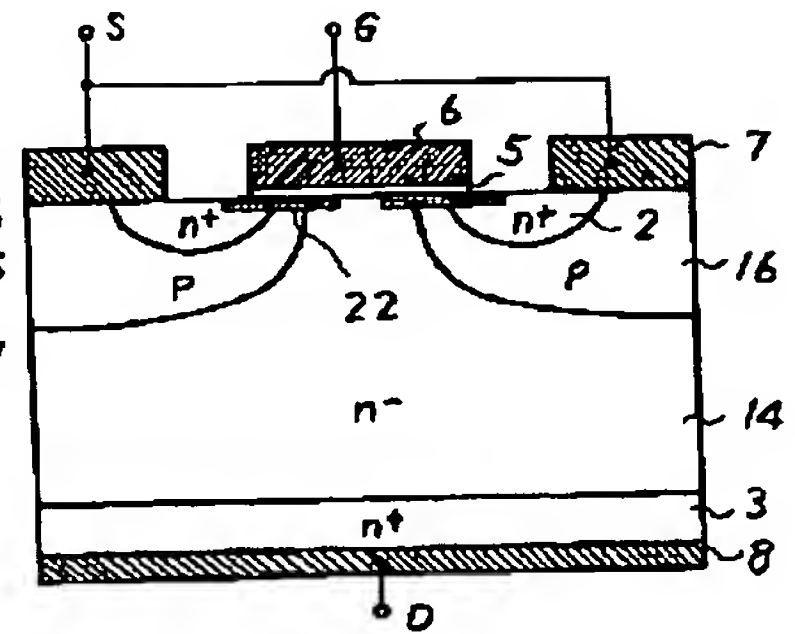
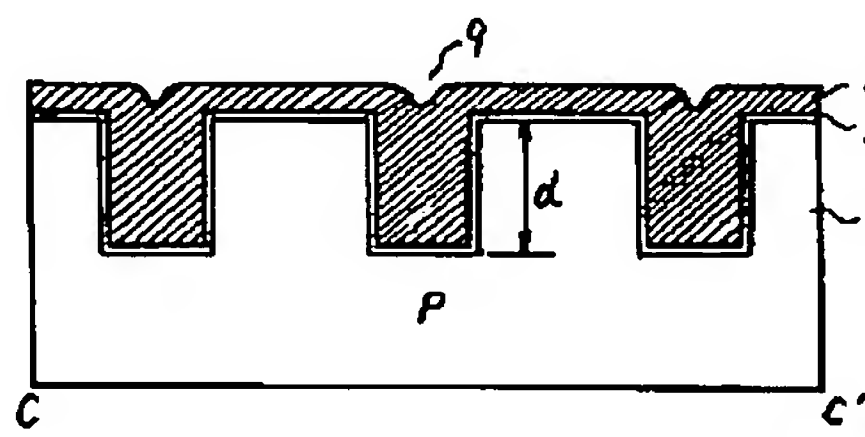


【図24】

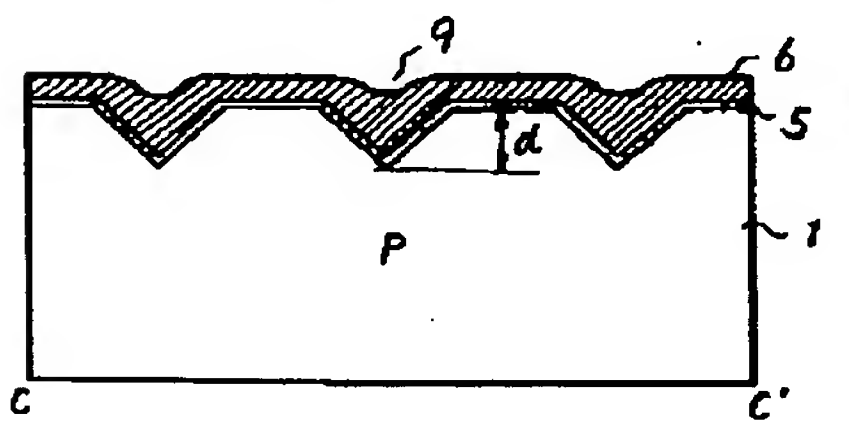
【図14】



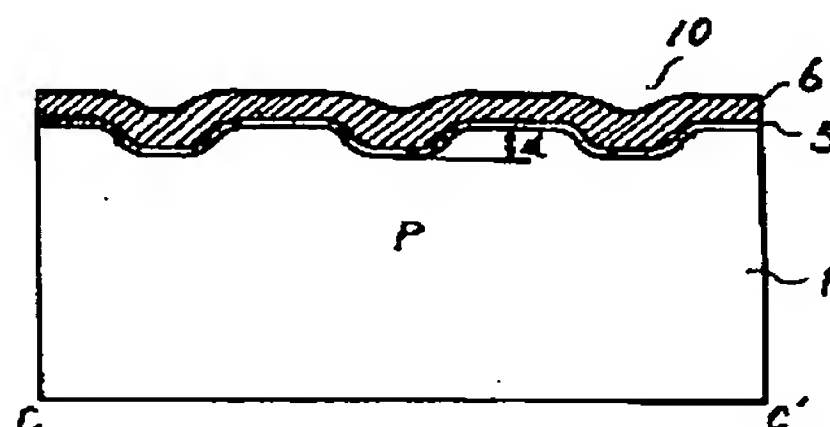
【図15】



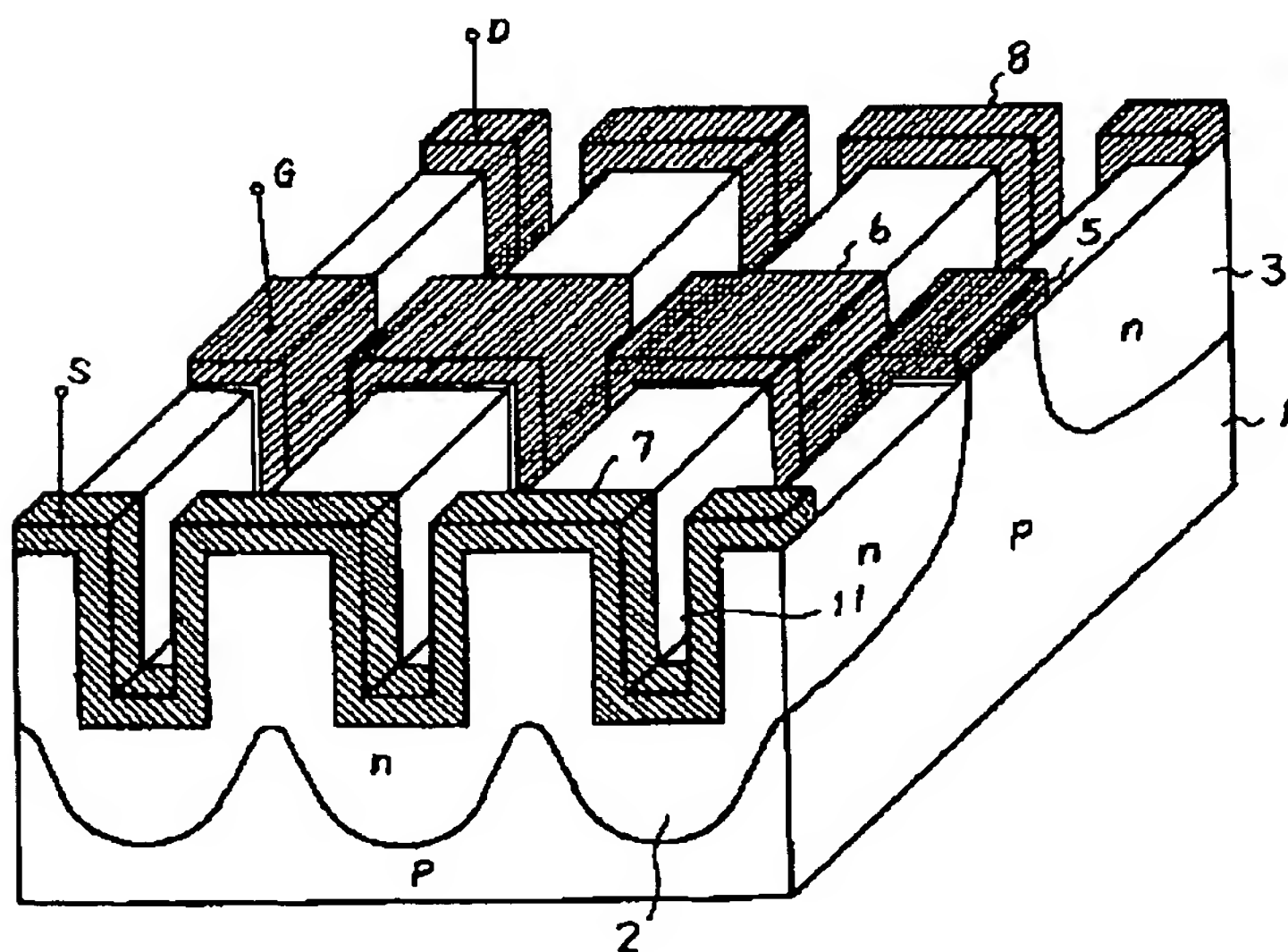
【図16】



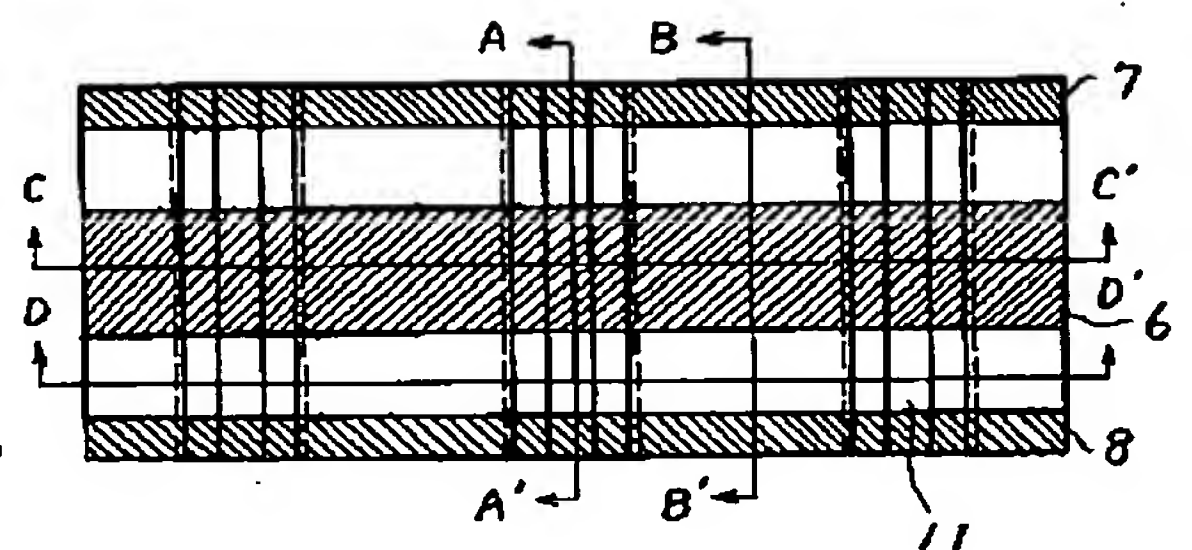
【図17】



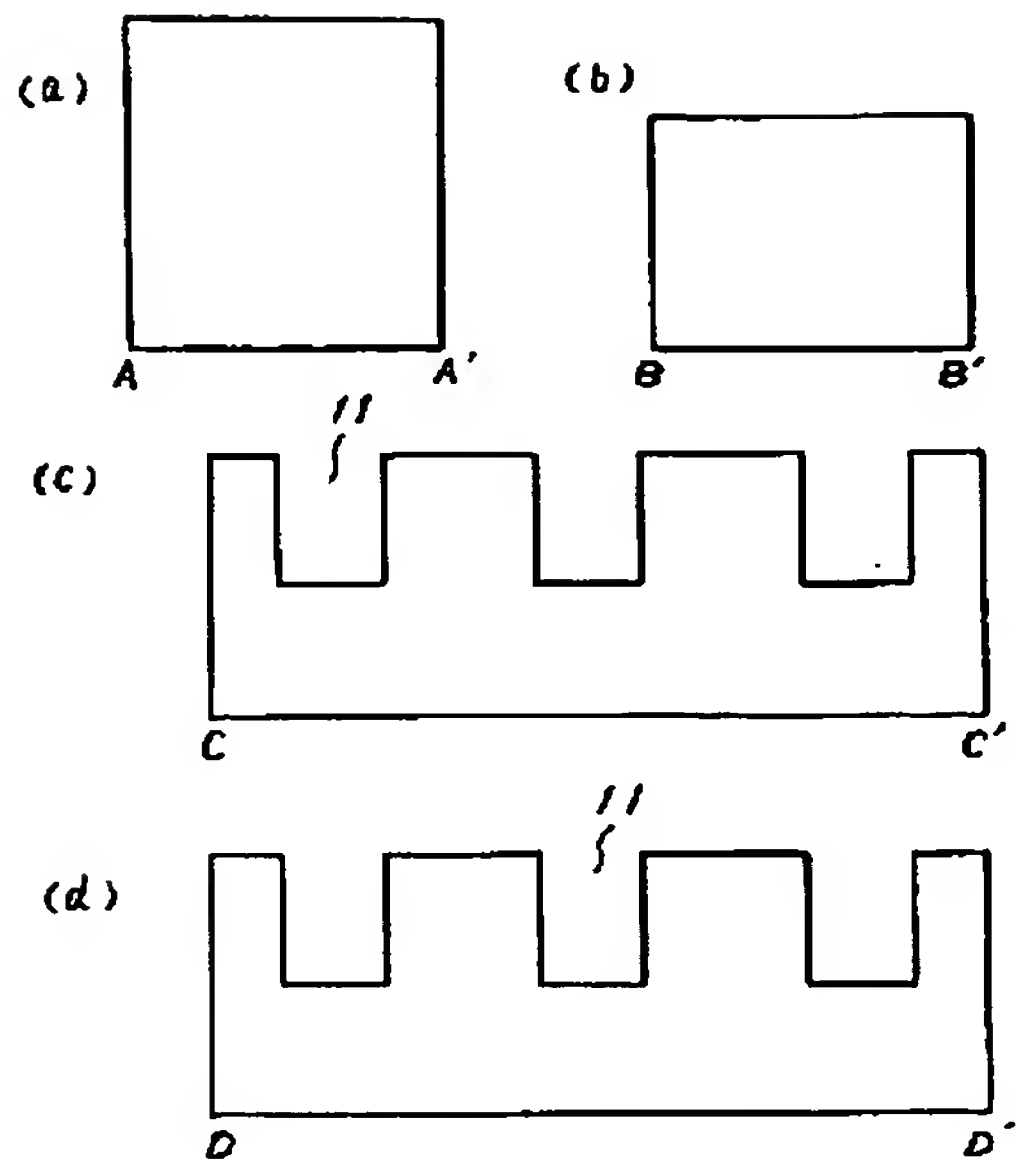
【図18】



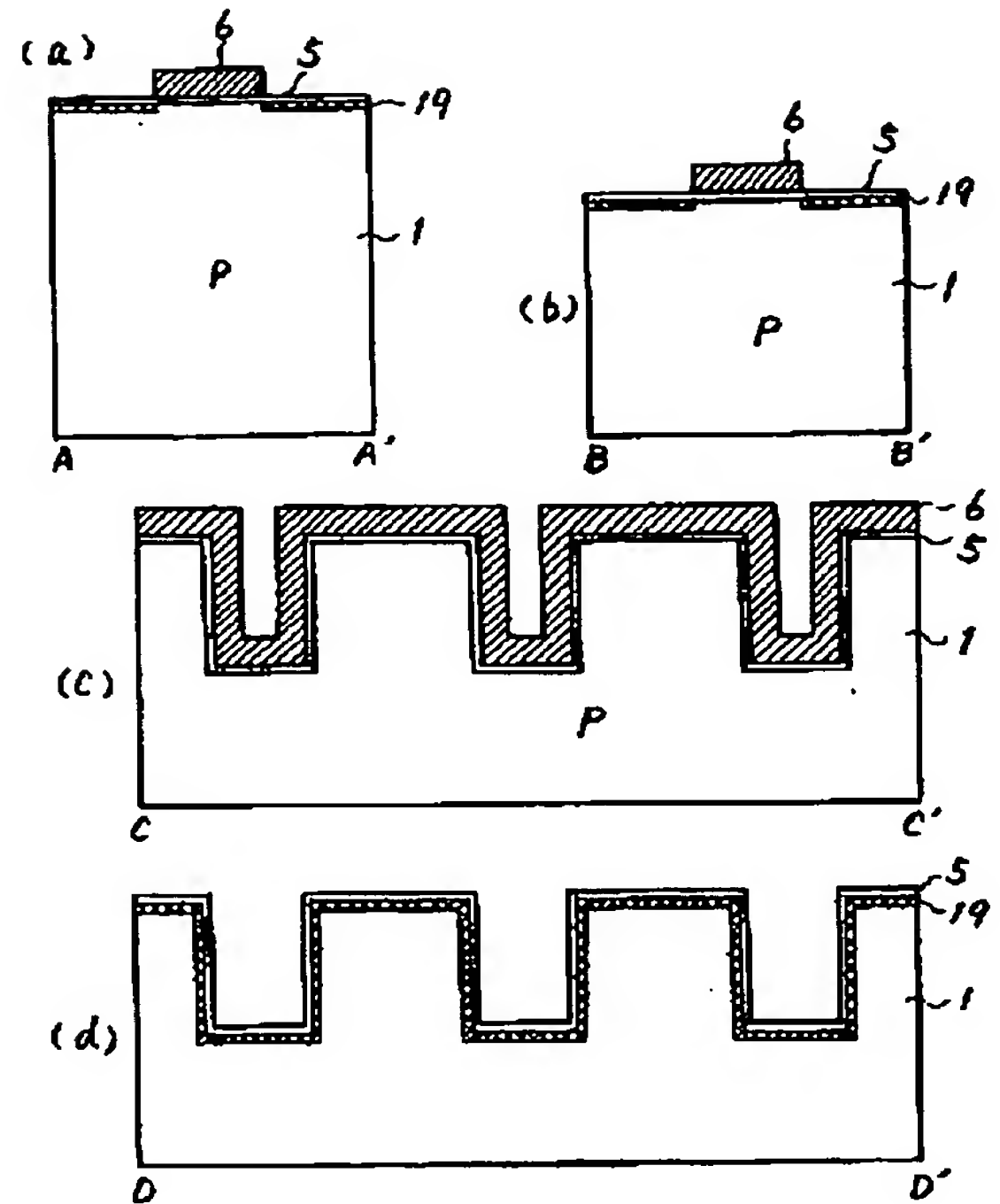
【図19】



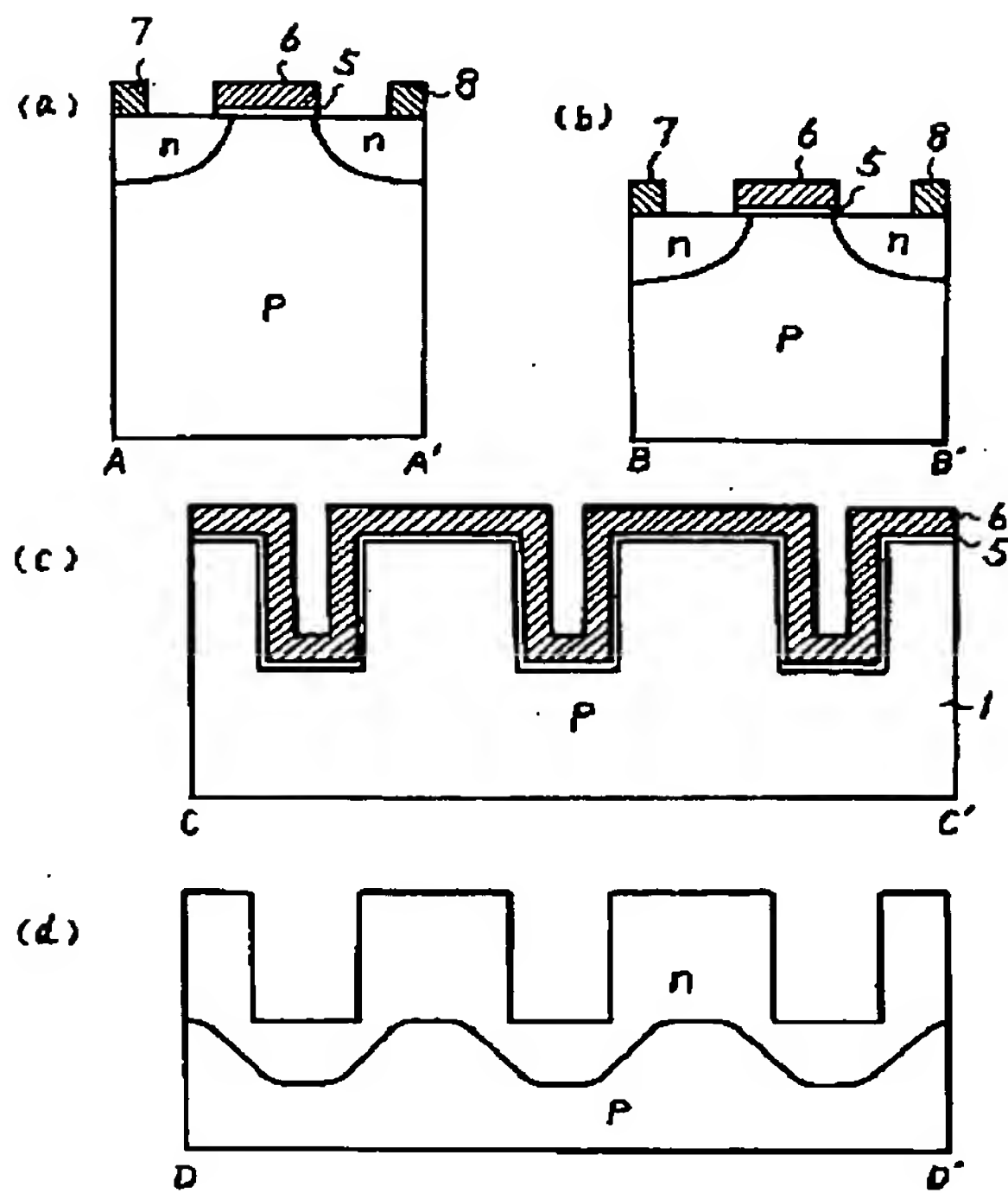
【図20】



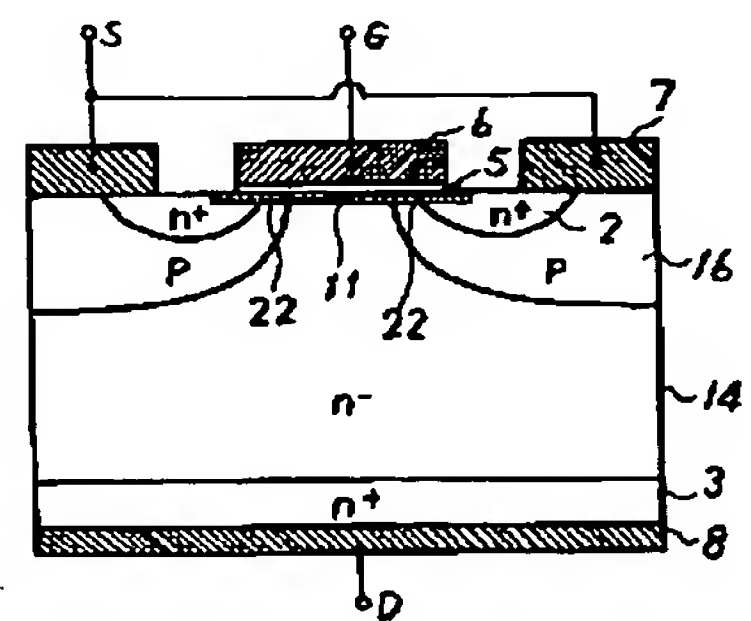
【図21】



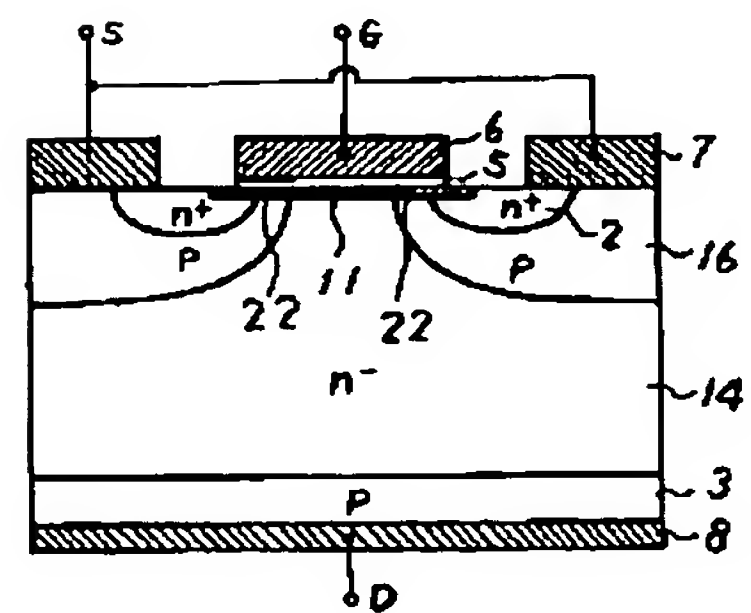
【図22】



【図23】



【図25】





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**